

CLIPPEDIMAGE= JP360068655A
PAT-NO: JP360068655A
DOCUMENT-IDENTIFIER: JP 60068655 A
TITLE: MANUFACTURE OF MOS TRANSISTOR
PUBN-DATE: April 19, 1985
INVENTOR-INFORMATION:
NAME
TAMURA, HIROYUKI
ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A
APPL-NO: JP58176240
APPL-DATE: September 26, 1983
INT-CL_(IPC): H01L029/78; H01L021/318
US-CL-CURRENT: 438/FOR.182,438/158

ABSTRACT:

PURPOSE: To enable to reduce the thickness as compared with a silicon oxide film by anisotropic etching and to selectively form only on the side of a gate electrode by employing a thermally nitrided film on the side of the gate electrode as a mask of silicide of the gate electrode, source and drain regions.

CONSTITUTION: A silicon oxide film 35 is formed on the active region 34 of a silicon substrate 31 formed with a field oxide film 32 as a gate film, and a polycrystalline silicon film 36 is grown thereon. A silicon oxide film 37 is formed by dry oxidizing on the film 36. Then, the films 36, 37 are simultaneously allowed to remain at the portions to become gate

electrodes, and
to remove the other. Then, a thermally nitrided film 38 is formed
at the side
of the gate electrode with the thin silicon oxide film 37' on the film
36 as a
mask. Then, As ions are implanted by ion implanting, and metal
39 is
accumulated. Thereafter, a heat treatment is performed, a silicide
310 is
formed on the gate electrode, source and drain regions, As is
simultaneously
diffused to form source and drain diffused layers 311.

COPYRIGHT: (C)1985,JPO&Japio

⑫ 公開特許公報(A)

昭60-68655

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)4月19日

// H 01 L 29/78
// H 01 L 21/318

8422-5F

審査請求 未請求 発明の数 1 (全5頁)

④ 発明の名称 MOS型トランジスタの製造方法

① 特 願 昭58-176240

② 出 願 昭58(1983)9月26日

⑦ 発 明 者 田 村 浩 之 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑦ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑦ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

MOS型トランジスタの製造方法

2. 特許請求の範囲

シリコン基板の表面に選択的にフィールド酸化膜を形成しかつ前記シリコン基板の露出表面に第1のシリコン酸化膜を形成する工程と、この第1のシリコン酸化膜上に多結晶シリコン膜を形成しかつこの多結晶シリコン膜の表面に第2のシリコン酸化膜を形成する工程と、ゲート領域のみ第2のシリコン酸化膜および多結晶シリコン膜を残しその他をエッチングする工程と、残存多結晶シリコン膜側面を第1の酸化膜に変換する工程と、第2のシリコン酸化膜を除去すると同時に残存多結晶シリコン膜をマスクとしてその下以外の第1のシリコン酸化膜を除去する工程と、シリコン基板にソース、ドレイン拡散層を形成する工程と、金属膜を堆積しゲート電極およびソース、ドレイン領域をシリサイド化し未反応金属の膜を除去する工程と、層間絶縁膜を全面に形成しその層間絶

縁膜にコンタクト孔を形成して配線を形成する工程とを具備してなるMOS型トランジスタの製造方法。

3. 発明の詳細な説明

(技術分野)

この発明は、MOS型トランジスタの製造方法に関する。

(従来技術)

従来のMOS型トランジスタの製造方法を第1図を用いて説明する。第1図(a)において、11はシリコン基板であり、まず、このシリコン基板11の表面に6000~9000Åのフィールド酸化膜12を選択的に形成することにより、シリコン基板11上をフィールド領域13とアクティブ領域14に分ける。

ここで、フィールド酸化膜12は減圧気相成長法による図示しない酸化膜をマスクとした選択酸化法によつて形成される。

次に、800~1000℃のドライ酸化によつて、アクティブ領域14(シリコン基板11の露

出表面)に第1図(b)に示すように200~500 Åのシリコン酸化膜15を成長させる。

その後、減圧気相成長法によつて2000~4000 Åの多結晶シリコン膜を成長させる。そして、この多結晶シリコン膜を写真食刻法により、ゲート電極16となる部分のみ残してエッチング除去する。

さらに、これによる残存多結晶シリコン膜16(ゲート電極)をマスクとして、その下のゲート酸化膜となる部分のみ残してシリコン酸化膜15をエッチング除去する。

次に、気相成長法によつてシリコン基板全面にシリコン酸化膜17を2000~4000 Å形成する。

この後、異方性エッチングにより、シリコン基板11の全体をシリコン酸化膜17がなくなり、シリコン基板11が現われるまでエッチングする。このとき、ゲート電極16の側面に第1図(c)のようにシリコン酸化膜17が残る。この後、イオン打込み法によつてAsを 10^{16}cm^{-2} 打ち込む。

の壁を形成し、これをマスクとしてメタルとシリコンを反応させ、ゲート電極16ソース・ドレイン領域上にメタルシリサイドを形成するものである。

したがつて、この壁であるシリコン酸化膜17の横方向の厚さは膜厚(段差の高さ)によつて決まり、0.5~1 μm程度である。

また、フィールド領域の側面にもシリコン酸化膜が残り、アクティブ領域を狭くする欠点があつた。最大の欠点としては第2図に示したようにゲート配線26の段差部側面にもシリコン酸化膜27が残つてしまい、段差部のゲート配線がシリサイド化されず、低抵抗化がさまたげられることがあつた。

(発明の目的)

この発明は、これらの従来の欠点を除去するためになされたもので、従来の異方性エッチングによるシリコン酸化膜に比べて薄膜化が可能でかつ選択的にゲート電極側面にも形成できるMOS型トランジスタの製造方法を提供することを目的

次に、第1図(d)のように、メタル18(Mo, W, Ti, Taなど)を500~1000 Å堆積する。このメタルは数百度程度の温度でシリコンと容易に反応しシリサイド(ケイ化物)を形成するものである。

次に、第1図(e)に示すように、シリコン基板11を600~1000 °Cの不活性ガス中で熱処理を行い、ゲート電極16とソース・ドレイン領域上にシリサイド19を形成し、同時にAsを拡散させソース・ドレイン拡散層110を作る。このとき、ゲート電極16の側面はシリコン酸化膜171でおおわれているため、シリサイド化は起こらず、メタルを除去すればゲート電極16とソース・ドレイン領域は短絡しない。

この後、第1図(f)に示すように、中間絶縁膜111を形成し、コンタクト孔を開けAL配線112を形成し、MOSトランジスタとする。

このような従来の製造方法においては、ゲート電極16の側面に気相成長によるシリコン酸化膜の異方性エッチングによつて、シリコン酸化膜17

とする。

(発明の構成)

この発明のMOS型トランジスタの製造方法は、シリコン基板の表面に選択的にフィールド酸化膜を形成した後、シリコン基板の露出表面に第1のシリコン酸化膜を形成し、この第1のシリコン酸化膜上に多結晶シリコン膜および第2のシリコン酸化膜を順次形成し、ゲート領域のみ第2の酸化膜と多結晶シリコン膜を残してその他をエッチングし、残存した多結晶シリコン膜の側面を第1のシリコン酸化膜に変換した後、第2のシリコン酸化膜を除去すると同時に残存した多結晶シリコン膜をマスクとしてその下以外の第1のシリコン酸化膜を除去し、シリコン基板にソース・ドレイン拡散層を形成し、メタルの膜を堆積し、ゲート電極とソース・ドレイン領域をシリサイド化するとともに未反応メタルの膜を除去し、層間絶縁膜を全面に形成してこの層間絶縁膜にコンタクト孔を形成して、配線するようにしたものである。

(実施例)

以下、この発明のMOS型トランジスタの製造方法の実施例について図面に基づき説明する。第3図(a)～第3図(d)はその一実施例の工程説明図である。この発明の工程は第1図(a)までは従来と同等であるので省略する。

第3図(a)はフィールド酸化膜32を形成したシリコン基板31のアクティブ領域34上にシリコン酸化膜35を800～1000℃のドライ酸化によつて200～500Å形成し、ゲート膜とし、その上に減圧気相成長法によつて2000～4000Åの多結晶シリコン膜36を成長させる。そしてこの多結晶シリコン膜36上に800～900℃のドライ酸化によつて100～200Åのシリコン酸化膜37を形成したものである。

次に、この多結晶シリコン膜36とその上のシリコン酸化膜37を写真食刻法によつて同時にゲート電極になるべき部分を残り、 CF_4 ガスを主としたエッチングにより除去する。これにより、ゲート電極側面のみ多結晶シリコンが露出している。この後、第3図(b)に示すように、このゲート電

極側面を多結晶シリコン膜36上の薄いシリコン酸化膜37をマスクとして1000～1200℃の NH_3 中で熱窒化し100～200Åの熱窒化膜38を形成する。

次に、第3図(c)に示すように、イオン注入によつて、Asイオンを全面に $\sim 10^{16}cm^{-2}$ 打ち込み、メタル39(Mo, W, Ti, Taなど)を500～1000Å堆積する。

この後、第3図(d)に示すように、600～1000℃の不活性ガス中で熱処理を行い、ゲート電極およびソース・ドレイン領域上にシリサイド310を形成し、同時にAsを拡散させソース・ドレイン拡散層311を作る。

このとき、ゲート側面は熱窒化膜38でおおわれているためシリサイド化は起こらず、未反応のメタルを除去すればゲート電極とソース・ドレイン領域は短絡しない。

この後、中間絶縁膜を形成し、コンタクト孔を開けA2配線を形成しMOSトランジスタとする。この実施例によれば、ゲート電極側面の壁が熱

窒化膜であるために異方性エッチングを必要とせず、形成が容易であり、厚さも100～200Åと薄い。したがって素子の微細化にとつても有利である。

また、ゲート電極の側面にしか窒化膜が形成されないため、アクティブ領域を狭くすることがなく、第2図のように段差部側面には窒化膜は形成されずシリサイド化され、ゲート配線の低抵抗化が計れる。

(発明の効果)

以上のように、この発明のMOS型トランジスタの製造方法によれば、ゲート電極およびソース・ドレイン領域のシリサイド化のマスクとしてゲート電極側面に熱窒化膜を用いるようにしたので、従来の異方性エッチングによるシリコン酸化膜に比べて薄膜化が可能であり、また、選択的にゲート電極側面のみに形成することができる利点がある。

4. 図面の簡単な説明

第1図(a)～第1図(d)は従来のMOS型トランジ

スタの製造方法の工程説明図、第2図は従来のMOS型トランジスタの製造方法で得られたMOS型トランジスタのゲート配線の段差部における低抵抗化の妨げとなることを示す図、第3図(a)～第3図(d)はこの発明のMOS型トランジスタの製造方法の一実施例の工程説明図である。

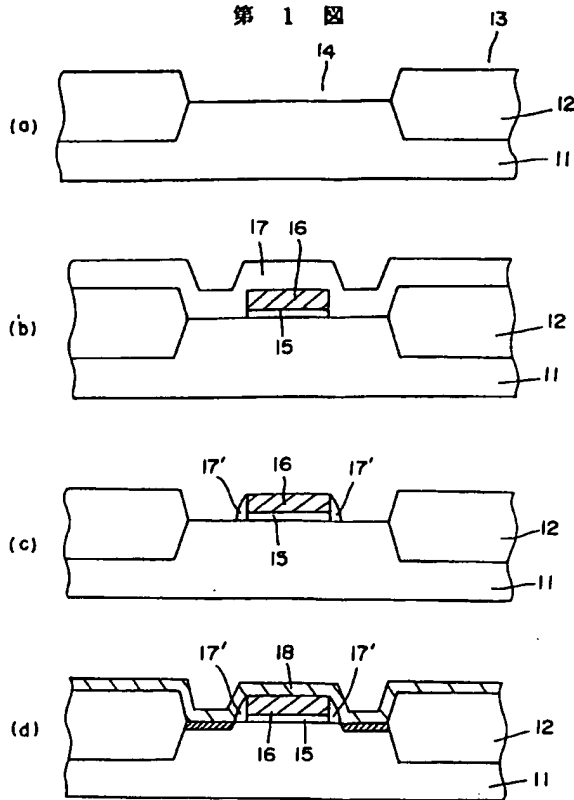
31…シリコン基板、32…フィールド酸化膜、34…アクティブ領域、35…ゲート絶縁膜、36…多結晶シリコン膜、37…シリコン酸化膜、38…熱窒化膜、39…メタル、310…シリサイド、311…ソース・ドレイン拡散層。

特許出願人 沖電気工業株式会社

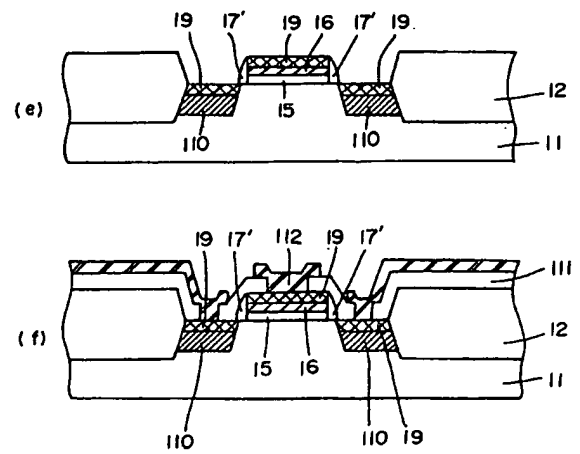
代理人 弁護士 菊池



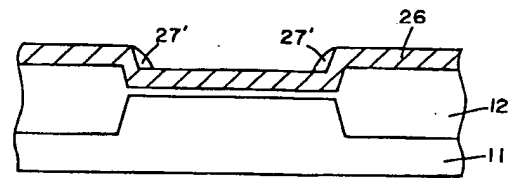
第 1 図



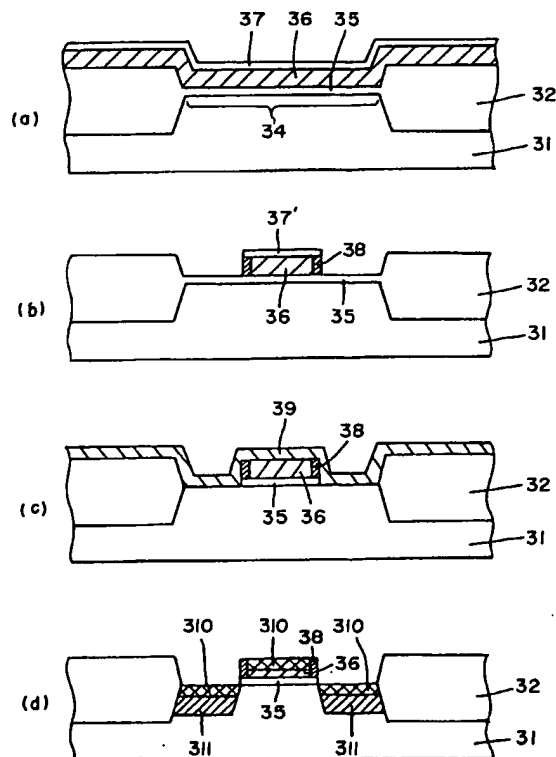
第 1 図



第 2 図



第 3 図



手 続 補 正 書

特開昭60-68655(5)

昭和59年1月18日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和58年 特 許 願 第 176240 号

2. 発明の名称

MOS型トランジスタの製造方法

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖電気工業株式会社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第105号
弁理士 菊 池 弘
コード第6568号 電話 591-3065・501-2453

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

明細書の発明の詳細な説明の欄および図面

7. 補正の内容

- (1) 別紙の通り図面第3図(c)を訂正する。
(2) 明細書4頁11行「171」を「17」と訂正する。

第 3 図

